

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134506  
(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H01L 21/3205  
H01L 27/108  
H01L 21/8242

(21)Application number : 2000-319241  
(22)Date of filing : 19.10.2000

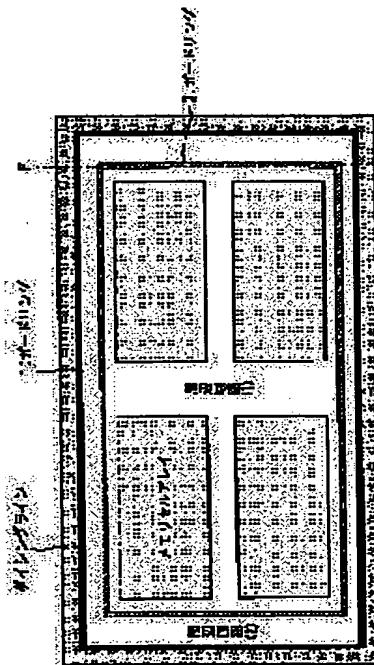
(71)Applicant : MITSUBISHI ELECTRIC CORP  
(72)Inventor : TANAKA YOSHINORI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor capable of improving a quality and reliability by controlling a deformation of contact holes in the vicinity of a guard ring.

**SOLUTION:** The semiconductor device which has a production-line chip including a plurality of memory-cell-arrays, a surrounding circuit, and a guard ring, is equipped with the guard ring 1 at a border part between the production-line chip and a dicing line and the guard ring 2 located inside the guard ring 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-134506

(P2002-134506A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 21/3205  
27/108  
21/8242

識別記号

F I  
H 0 1 L 21/88  
27/10

テマコト<sup>\*</sup>(参考)  
S 5 F 0 3 3  
6 2 1 C 5 F 0 8 3  
6 8 1 E

審査請求 未請求 請求項の数13 O.L (全16頁)

(21)出願番号 特願2000-319241(P2000-319241)

(22)出願日 平成12年10月19日(2000.10.19)

(71)出願人 000006013

三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 田中 義典  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

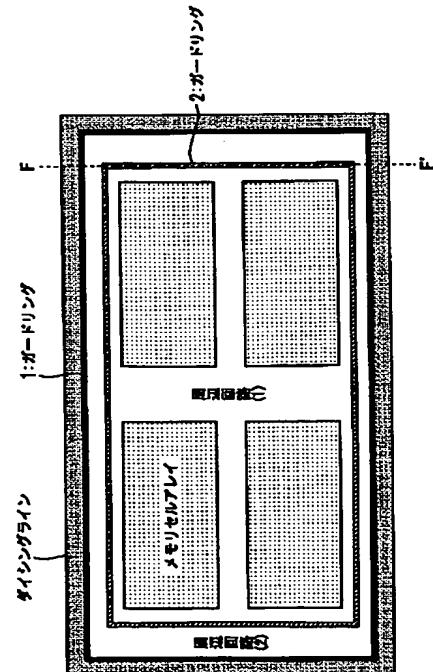
(74)代理人 100082175  
弁理士 高田 守 (外3名)  
F ターム(参考) 5F033 VV00 VV16 XX18 XX19  
5F083 AD29 LA25 ZA28

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ガードリング近傍のコンタクトホールの変形を抑制して、品質の向上、信頼性の向上を図ることができる半導体装置を得る。

【解決手段】 複数のメモリセルアレイ、周回路およびガードリング部分を含む本番チップを有する半導体装置において、本番チップとダイシングラインの境界部分に形成されたガードリング1と、このガードリング1の内側に設けられたガードリング2とを備える。



**【特許請求の範囲】**

【請求項1】 複数のメモリセルアレイ、周辺回路およびガードリング部分を含む本番チップを有する半導体装置において、

上記本番チップとダイシングラインの境界部分に形成された第1のガードリングと、

該第1のガードリングの内側に設けられた第2のガードリングとを備えたことを特徴とする半導体装置。

【請求項2】 上記周辺回路の特定回路毎に、その周りに上記第2のガードリングを配置したことを特徴とする請求項1記載の半導体装置。

【請求項3】 上記メモリセルアレイのメモリセルマット毎に、その周りに上記第2のガードリングを配置したことを特徴とする請求項1記載の半導体装置。

【請求項4】 上記第1のガードリングを細切れ状に配置したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 上記細切れ状の第1のガードリングは、少なくとも1層であることを特徴とする請求項4記載の半導体装置。

【請求項6】 上記細切れ状の第1のガードリングは、特に変形の起き易いコンタクトホール工程で形成されるガードリングのみが細切れ状にされることを特徴とする請求項4または5記載の半導体装置。

【請求項7】 上記第1のガードリングと上記周辺回路部分の上記第1のガードリング近傍のコンタクトホールとの間に、緩衝用溝状ガードリングを設けたことを特徴とする請求項1～6のいずれかに記載の半導体装置。

【請求項8】 上記メモリセルアレイの最小セルブロックの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設けたことを特徴とする請求項1～7のいずれかに記載の半導体装置。

【請求項9】 上記第2のガードリングの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設けたことを特徴とする請求項1～8のいずれかに記載の半導体装置。

【請求項10】 上記第2のガードリングは溝状コンタクトホールとその上の配線を間引いた構造としたことを特徴とする請求項1～9のいずれかに記載の半導体装置。

【請求項11】 上記第1のガードリングの層が複数の場合には、上下のガードリング同士を互い違いに配置したことを特徴とする請求項5記載の半導体装置。

【請求項12】 上記第1および第2のガードリングの配線は、所定の電位に設定されていることを特徴とする請求項1～11のいずれかに記載の半導体装置。

【請求項13】 上記第1および第2のガードリングは、2重以上の多重構造であることを特徴とする請求項

1～12のいずれかに記載の半導体装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】この発明は、半導体装置に関し、特に、Siデバイスの構造からなる半導体装置に関するものである。

**【0002】**

【従来の技術】図15は、従来の半導体装置を示すもので、半導体チップの全体を上からみた平面図である。この図を見れば明らかのように、半導体チップは実際の動作に必要なアレイ部分および周辺回路部分とチップ外周のダイシングライン部分に大きく分かれている。そして通常、両者の間にはコンタクトホール工程で形成される溝と上部配線層を何層も重ねた構造を有したガードリングといわれる領域が存在する。一般的にこのガードリングは本番チップを囲むような壁状構造を有しているため、外界からの水分の進入等を抑制し、半導体チップの信頼性を向上させるといわれている。一方、当然のことながらこのガードリング溝近傍には周辺回路に使われているコンタクトホールが同時形成されるため、プロセス工程の途中で、ガードリング溝の影響を受けてこのコンタクトホールが変形する問題が発生する。

【0003】図16～図25は、従来の半導体装置におけるDRAMのメモリセル、周辺回路およびガードリング部分を工程毎に示した断面図である。これらの図16～図25は、図15のA-A'断面に相当する。図16において、0はシリコン基板、1は深いウエル層、2は浅いウエル層、3は分離領域、4および4aはウエル層2とは相反する導電型を有する不純物領域、5はゲート絶縁膜、6はゲート電極を被うように形成された熱酸化膜、7はゲート電極、8、9、9a、10および10aは絶縁膜である。

【0004】次に、図16を参照してその製造方法について説明する。シリコン基板0の表面に分離領域3を形成した後、所望の領域にP型、N型のウエルを形成し、FAおよびRTA等のアニールによって活性化をする。この場合の分離領域3には、一般的にトレンチ分離が用いられるが、ゲート電極類似のいわゆるフィールドシールド分離でもよい。また、P型ウエルにはボロン、N型ウエルにはリンが用いられる。さらに、DRAMメモリセルの下部には通常ソフトエラーおよびリフレッシュ対策のため深いウエル層1を形成する場合もある。ウエル形成と同時にトランジスタの閾値電圧を決めるため、チャネルドープ層も注入されるが、図16には図示されていない。

【0005】これら注入層を形成後、ゲート酸化膜5、ゲート電極7、ゲート電極上絶縁膜8、ゲート電極上絶縁膜9が順に堆積され、その後所望のところにメモリセルのトランスマスターおよび周辺回路のトランジスタゲートとなるゲート電極をRIE法等の異方性エッチ

ングにより形成する。この場合のゲート酸化膜は通常は熱酸化膜が用いられるが、SiON等の窒化系酸化膜や、Ta2O5やAl2O3等の高誘電率絶縁膜も用いられる。また、ゲート電極には、WSiやTiSi等の高融点メタルシリサイド膜と不純物をドープしたSiの重ね膜（いわゆるポリサイド）やW、Ti、WN等の高融点メタルと不純物をドープしたSiの重ね膜（いわゆるポリメタル）が用いられる。

【0006】さらに、絶縁膜8、9はゲート電極7形成時のハードマスクとなり、通常絶縁膜8はCVD法で形成されたシリコン酸化膜、絶縁膜9はCVD法で形成されたシリコン窒化膜で、特に絶縁膜9は図17のメモリセルノードコンタクトホール形成時のストッパー膜となる。次に、このゲート電極形成後、所望の部分にゲート電極7をマスクとして、低濃度のP型、N型不純物領域をイオン注入法により形成し、さらにシリコン基板およびゲート電極側壁をFAやRTAによって熱酸化し、シリコン基板全面にシリコン窒化膜10をCVD法で堆積、その後レジストマスクによりメモリセル領域のみ上記シリコン窒化膜を残し、周辺回路部分にはシリコン窒化膜のサイドウォール10aを形成する。

【0007】続いて、Trのソースドレイン領域となる高濃度のP型、N型の不純物領域をそれぞれイオン注入によって形成する。この高濃度不純物層は通常P型はボロンやBF2、N型はリンやヒ素が用いられる。つまり、このDRAMのデバイス構造はCMOSでTrのソースドレインは低濃度、高濃度不純物層を重ねたLDD構造としている。

【0008】次に、図17を参照して説明する。図において、11、11aは層間膜、12aは絶縁膜である。層間膜11はメモリセルのゲート電極間の隙間を埋めるために一般的にボロンやリンをドープしたシリコン酸化膜をCVD法でデポしたあと、FAやRTAによってドライおよびウエット雰囲気でアニールする、いわゆるリフロー法を用いた層間絶縁膜である。別的方法として、それらのリフロー膜をもじめた層間絶縁膜に、ノンドープのシリコン酸化膜を重ねたり、あるいは間にSOG等の塗布系酸化膜を用いることも可能である。

【0009】また、層間膜11、11aにボロンやリンをドープしたシリコン酸化膜を用いた場合、リフロー時のシリコン基板へのそれら不純物の熱拡散を抑制するために、層間膜11、11aとシリコン基板1の間に薄いノンドープのシリコン酸化膜やシリコン窒化膜の絶縁膜12aをCVD法で堆積したり、あるいは層間膜11の堆積前に絶縁膜12aの熱酸化を行う。

【0010】次いで、層間膜11、11aを堆積後、メモリセルの基板コンタクトホールを所望の場所にセルフアライン法（シリコン窒化膜10a、10bとシリコン酸化膜11、11aの選択比を利用してエッチングをシリコン窒化膜10で止める）のようなRIEエッチング

で開口し、続いてポリシリコンパッド13を形成する。ポリシリコンパッド13は、メモリセル内基板コンタクトホールに接続するようにシリコン基板全面に不純物領域4と同じ導電型の不純物をドープした多結晶シリコン膜をCVD法で堆積し、その後RIE法等の異方性エッチングでエッチバックするか、CMP法で削ることによって形成する。

【0011】次に、図18を参照して説明する。図において、14aと14bはCVD法で堆積したシリコン酸化膜で、堆積後メモリセルのビット線コンタクトホール15、周辺回路の基板上コンタクトホール15aとゲート電極上コンタクトホール15b、さらにこれらコンタクトホールと同時に形成される溝状のガードリング16が形成される。この時点で本番チップの外周に溝状ガードリング16が形成されるため、本番チップ内の層間膜11a、11bとシリコン酸化膜14a、14bが重ねられた層間絶縁膜は、多数のコンタクトホール15、15a、15bを含んだ大きな一枚板となる。

【0012】次に、図19を参照して説明する。コンタクトホール開口後これらコンタクトホール内部を埋めるようにTi、TiN、WN、w等の高融点メタルあるいはそれらの重ね膜がCVD法やスパッタ法で堆積され、RIE法等の異方性エッチングで所望のところに、これら高融点メタルの配線層18、19が形成される。一般的に高融点メタルとシリコン基板界面あるいは高融点メタルとゲート電極であるポリサイド界面には、コンタクト抵抗を下げるためにこれら高融点メタルのシリサイド膜17、17aを形成することが望ましく、そのシリサイド形成には通常900°Cから700°C程度のRTAによるアニールが用いられることが多い。

【0013】また、コンタクト抵抗を下げる別の方法としては、コンタクトホール形成後にイオン注入を行い、FAやRTA等のアニールにより活性化させ、コンタクトホール底シリコン基板表面の不純物濃度を上げるという方法もある。但し、いずれの方法もコンタクトホール開口後に高温のアニールをかけるため、層間絶縁膜の熱収縮が発生し、コンタクトホールを変形させるといった問題がある。また、特に層間絶縁膜11a、11bにボロンやリンをドープしたシリコン酸化膜を用いた場合は、上記アニールによって、コンタクトホール内部の層間絶縁膜がリフローされ、著しく変形するといった問題がある。

【0014】ここで、図24を参照して、コンタクトホール変形について、もう少し詳細に説明する。図24は、図15のD-D'断面を示している。先にも述べたように周辺回路とメモリセルを含んだ本番チップは、外周が溝状のガードリングで囲まれているため大きな層間膜の一枚板となり、コンタクトホール開口後の熱処理による層間絶縁膜の熱収縮やリフローによって、特にガードリング近傍の周辺回路部コンタクトホール15cが図

のように著しく変形するといった問題が発生する。このような変形が起きると、後工程のメタル配線のカバレッジが悪化し、コンタクト抵抗の増大やコンタクトホール内配線のマイグレーション等デバイスの信頼性に関わる重大なトラブルに繋がる。

【0015】さらに、図によって後工程の構造を説明する。図20において、100, 100aは高融点メタル配線の酸化を防止するためのシリコン窒化膜、20, 20aはシリコン酸化膜であって、どちらも減圧、常圧、プラズマ法等のCVD法で堆積される。また、シリコン酸化膜20, 20aは層間膜11a, 11bと同様ボロンやリンをドープしたシリコン酸化膜やそれらの重ね膜でもよい。その後メモリセルの所望の領域にキャパシタ下部電極と基板を導通させるためのコンタクトホール21をRIE法等の異方性エッチングで形成する。

【0016】次に、図21において、コンタクトホール21(図20)を開口後、シリコン窒化膜のサイドウォール22を形成し、その後ポリシリコンパッド13と同様な方法でポリシリコンのプラグ23を形成し、さらにシリコン窒化膜24, 24aとシリコン酸化膜25, 25aをCVD法等で順に堆積し、メモリセルの所望の場所にキャパシタ下部電極となる上記シリコン酸化膜の開口部26をRIE法等のドライエッチングで形成する。

【0017】この時のシリコン酸化膜25, 25aは、ノンドープのシリコン酸化膜やボロン、リンをドープしたシリコン酸化膜、あるいはそれらも何層も重ねた重ね膜でもよい。但し、常圧のシリコン酸化膜やリン、ボロンをドープしたシリコン酸化膜を用いた場合は、後工程のコンタクトホール30(図22)を開口した際に前記で説明したコンタクトホール変形のトラブルを招き易い問題がある。

【0018】続いて、図22において、シリコン酸化膜25aの開口部26の内壁部分を被うように、さらにボリシリコンプラグ23の表面に接するようにキャパシタ下部電極27が形成される。図22では、このキャパシタ下部電極27にHSG(粒状のシリコングレイン)を有し、且つ不純物領域4と同一導電型の不純物をドープした多結晶シリコン電極を用いているが、例えば、TiN, Rn, WN, Pt等のメタル電極でもよい。

【0019】その後シリコン基板全面を被うようにキャパシタ絶縁膜、キャパシタ上部電極28が堆積され、さらにキャパシタ上部電極28をメモリセル部の所望の領域のみ、RIE法等のドライエッチングで残し、DRAMのキャパシタ部分を完成させる。その際使用するキャパシタ絶縁膜はシリコン窒化膜とシリコン酸化膜を重ねたいわゆるON膜、Ta205, Al203, BST等の高誘電体膜等何でもよい。また、キャパシタ上部電極28も多結晶シリコン膜、TiN, Ru, WN, Pt等メタル電極等何でもよい。

【0020】ちなみに、図22には、キャパシタ絶縁膜

は図示していない。その後層間絶縁膜として、減圧、常圧、プラズマ法等のCVD法を使ってシリコン酸化膜を堆積し、CMP法を使って平坦化した後に周辺回路部の所望の場所にコンタクトホール30をあける。また、ガードリング部分には、コンタクトホール30と同時に本番チップの外周を囲むように溝状ガードリングが形成される。この段階で層間膜20から層間膜29までの重ね膜は本番チップ内で大きな一枚板となる。

【0021】次いで、図23において、コンタクトホール30(図22)とガードリングを充填するように、Ti, TiN, W等の高融点メタルプラグ32, 32aとメタル配線33, 33aを所望の場所に形成する。図24で説明したように、メタルプラグ32を形成する場合、コンタクト抵抗を低減するために700°Cから900°C程度のRTAアニールが必要で、その際図25にあらるようガードリング近傍の周辺回路部コンタクトホール30aが変形したり、さらには、熱収縮によるストレスにより、高融点メタル配線が剥がれたり、さらには、コンタクトホールエッジでストレスにより層間膜にクラックが入る等の問題が発生する。図23における34はメタル配線33とメタル配線36を導通させるためのコンタクトホール、35はプラズマや常圧CVD法で堆積したシリコン酸化膜である。

#### 【0022】

【発明が解決しようとする課題】上述したように、従来の半導体装置では、ガードリング構造をDRAM等の半導体デバイスに適用した場合、ガードリングが本番チップの外周を囲む溝構造のため、ガードリング溝形成後に本番チップ内層間膜が大きな一枚板となり、その後の熱処理によって熱収縮やリフローが発生し、周辺回路の特にガードリング近傍のコンタクトホールを変形させたり、さらにはコンタクトホールのエッジで熱ストレスによりクラックを発生させる等の問題点があった。

【0023】また、これらの問題が起きると、後工程におけるメタル配線のコンタクトホール内のカバレッジを悪化させ、ひいてはコンタクト抵抗増加やホール内配線マイグレーションの劣化等信頼性上重大なトラブルに繋がるという問題点があった。

【0024】この発明は、このような従来の問題点を解決するためになされたもので、ガードリング近傍のコンタクトホールの変形を抑制して、品質の向上、信頼性の向上を図ることができる半導体装置を提供することを目的とするものである。

#### 【0025】

【課題を解決するための手段】請求項1の発明に係る半導体装置は、複数のメモリセルアレイ、周辺回路およびガードリング部分を含む本番チップを有する半導体装置において、上記本番チップとダイシングラインの境界部分に形成された第1のガードリングと、該第1のガードリングの内側に設けられた第2のガードリングとを備え

たものである。

【0026】請求項2の発明に係る半導体装置は、請求項1の発明において、上記周辺回路の特定回路毎に、その周りに上記第2のガードリングを配置したものである。

【0027】請求項3の発明に係る半導体装置は、請求項1の発明において、上記メモリセルアレイのメモリセルマット毎に、その周りに上記第2のガードリングを配置したものである。

【0028】請求項4の発明に係る半導体装置は、請求項1～3のいずれかの発明において、上記第1のガードリングを細切れ状に配置したものである。

【0029】請求項5の発明に係る半導体装置は、請求項4の発明において、上記細切れ状の第1のガードリングは、少なくとも1層であるものである。

【0030】請求項6の発明に係る半導体装置は、請求項4または5の発明において、上記細切れ状の第1のガードリングは、特に変形の起き易いコンタクトホール工程で形成されるガードリングのみが細切れ状にされるものである。

【0031】請求項7の発明に係る半導体装置は、請求項1～6のいずれかの発明において、上記第1のガードリングと上記周辺回路部分の上記第1のガードリング近傍のコンタクトホールとの間に、緩衝用溝状ガードリングを設けたものである。

【0032】請求項8の発明に係る半導体装置は、請求項1～7のいずれかの発明において、上記メモリセルアレイの最小セルブロックの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設けたものである。

【0033】請求項9の発明に係る半導体装置は、請求項1～8のいずれかの発明において、上記第2のガードリングの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設けたものである。

【0034】請求項10の発明に係る半導体装置は、請求項1～9のいずれかの発明において、上記第2のガードリングは溝状コンタクトホールとその上の配線を間引いた構造としたものである。

【0035】請求項11の発明に係る半導体装置は、請求項5の発明において、上記第1のガードリングの層が複数の場合には、上下のガードリング同士を互い違いに配置したものである。

【0036】請求項12の発明に係る半導体装置は、請求項1～11のいずれかの発明において、上記第1および第2のガードリングの配線は、所定の電位に設定されているものである。

【0037】請求項13の発明に係る半導体装置は、請求項1～12のいずれかの発明において、上記第1およ

び第2のガードリングは、2重以上の多重構造であるものである。

【0038】

【発明の実施の形態】以下、この発明の実施の形態を、図を参照して説明する。

実施の形態1. 図1は、この発明の実施の形態1を示すもので、半導体チップの全体を上からみた平面図である。図において、1は本番チップとダイシングラインの境界部分に形成された第1のガードリングとしてのガードリング、2はガードリング1の内側に設けられた第2のガードリングとしてのガードリングであって、これらのガードリング1および2により多重ガードリング構造（その断面は図7参照）を構成している。なお、ここでは、ガードリングが2重になっている場合であるが、3重以上の多重構造でもよい。こうすれば、層間膜の1枚板の面積が減るため、層間膜の熱収縮量を減少させることができ、ガードリング近傍のコンタクトホールの変形を抑制することができる。

【0039】実施の形態2. 図2は、この発明の実施の形態2を示すもので、半導体チップの全体を上からみた平面図である。図において、本番チップ内周辺回路部分における特定回路毎に、その回路の外周を囲むように第2のガードリングとしてのガードリング2～6を設ける。こうすれば、実施の形態1と同様の効果を期待できる。

【0040】実施の形態3. 図3は、この発明の実施の形態3を示すもので、半導体チップの全体を上からみた平面図である。図において、最小メモリセルブロックがアレイされたメモリセルマット毎に、そのマットの外周を囲むようにガードリング2～5を設ける。こうすれば、実施の形態1と同様の効果を期待できる。

【0041】実施の形態4. 図4は、この発明の実施の形態4を示すもので、半導体チップの全体を上からみた図である。図において、本番チップとダイシングラインの境界部分に存在するガードリングを従来の溝構造ではなく、細切れ状の分割ガードリング構造とする。従来構造では、図23のように3層のコンタクトホール溝と3層の配線をいずれも本番チップを囲むように壁状に形成していたが、この分割ガードリングにおいては、特に変形の起き易い工程のコンタクトホール溝を細切れ状にする。図9と図10に、この分割ガードリング構造の断面を示しており、図9は図4のB-B'断面、図10は図4のC-C'断面をそれぞれ示している。これらの断面図を見れば明らかのように、この例では最も最下部のビット線コンタクトホール工程で形成されるガードリング溝のみを細切れ状にしているが、これによって、ビット線となるメタル配線形成時のアーチによるコンタクトホール変形を完全に抑制することができる。

【0042】実施の形態5. なお、上記実施の形態4では、最下部のコンタクトホール形成時に同時に形成され

るコンタクトホールのみを細切れ状にしたが、図23の高融点メタルプラグ32aやコンタクトホール34aを細切れ状にしてもよいし、また、何層かを同時に細切れ状にしてもよい。

【0043】実施の形態6。図5は、この発明の実施の形態6を示すもので、半導体チップの全体を上からみた図である。図において、ダイシングラインと本番チップの境界部分のガードリング1と周辺回路部分のガードリング1近傍のコンタクトホールとの間に、熱収縮の緩衝用溝状ガードリング1Aを形成する。この緩衝用溝状ガードリング1Aの縦構造は、従来構造のようにすべてのコンタクトホールと配線層を重ねても良いし、図9のようにいくつかの溝状ガードリングを間引いてもよい。

【0044】実施の形態7。図6は、この発明の実施の形態7を示すもので、半導体チップの全体を上からみた平面図と、その一部拡大図である。図において、図25のようなコンタクトホール30aの変形を抑制するため、あらかじめそのコンタクトホール30を形成する層間膜20、25(図21)が大面積の一枚板にならないように、メモリセルアレイの最小ブロックを囲むように例えば、キャパシタ下部電極ノードコンタクトホールを形成すると同時にそのノードコンタクトホールから成る溝を形成する。図11のストレージノード(下部電極)コンタクトホールダミーガードリング37がその断面に相当する。

【0045】実施の形態8。上記実施の形態7と同様にメモリセル最小ブロックを囲むようにコンタクトホール溝を形成するが、その溝をキャパシタ下部電極を形成する時に同時に形成する。図13のストレージノードコンタクトホールダミーガードリング38がその断面に相当する。

【0046】実施の形態9。上記実施の形態7と8同様にメモリセル最小ブロックを囲むように溝を形成するが、その溝がキャパシタ下部電極ノードコンタクトホールとキャパシタ下部電極のスタック構造をしているもの。図12の22aと23aがそれに相当する。また、この実施の形態7から9は、メモリセル最小ブロック端のパターン崩れ(連続性が途切れるので、写真製版やエッティング時にブロック端パターンはブロック中央パターンに比べサイズや形が著しく異なることがある)を防止するためのダミーパターンとしての効果も期待できるため、従来のダミーパターンに対して付加的に形成されるのではなく、面積を余分に確保する必要がない。

【0047】実施の形態10。実施の形態7から9のキャパシタ下部電極ノードコンタクトホールやキャパシタ下部電極、さらにそれらを重ねた溝状ガードリングを、上記実施の形態1の図1における多重ガードリング構造における内側のガードリング2に適用する。そうすれば、実施の形態7から9と同様に層間膜20から29で構成される層間膜の一枚板の面積が小さくなり、コンタ

クトホール30の変形を抑制することができる。

【0048】実施の形態11。上記実施の形態7から9のガードリングを、上記実施の形態2の図2におけるガードリング2から6に適用する。その効果は上記実施の形態2の場合と同様である。

【0049】実施の形態12。上記実施の形態7から9のガードリングを、上記実施の形態3の図3におけるガードリング2から5に適用する。その効果は上記実施の形態10と同様である。

【0050】実施の形態13。上記実施の形態1から実施の形態4(図1から図4)に関して、例えば上記実施の形態1の図1を参照して、ガードリング2で隔てられた第1の周辺回路と第2の周辺回路の領域に関して、各々の領域の電気的な導通を可能にするために、ガードリング2は従来のガードリング構造のように全てのコンタクトホール溝とその上の配線を重ねるのではなく、図8のようにいくつかのコンタクトホール溝と配線を間引いた構造とする。

【0051】実施の形態14。図14は、図4の分割ガードリングのE-E'断面、すなわち、ガードリング水平方向の断面を示す。図において、104は不純物領域、105は層間膜、106は分割ガードリング溝(メタル配線が充填される)、107はメタル配線ガードリング、108は分割ガードリング溝、109は層間膜、110はメタル配線ガードリング、111は分割ガードリング溝、112は層間膜、113はメタル配線ガードリングである。

【0052】このように、コンタクトホール形成と同時に形成されるガードリング溝のみを分割し、その直上の配線層ガードリングは、本番チップ外周を囲むような連続構造とし、さらに上層の分割ガードリング溝と下層の分割ガードリング溝が縦方向に重ならず、互い違いに配置されることを特徴とする構造である。従来、微細なコンタクトホールとガードリング溝を同一プロセスで形成した場合、写真製版やエッティング特性によって、どうしてもガードリング溝の幅が広くなってしまい、後工程のメタル配線で完全に充填されないという問題が発生する。

【0053】このような場合、コンタクトホールを重ねると、上層のガードリング溝状コンタクトホールの形状が悪化し、ひいては上層の配線ガードリングのカバレッジが劣化し、上層の配線ガードリングが剥がれるといった問題が起きる。しかし、図14のような上下のガードリング溝どうしを互い違いに配置することで、そういう問題は完全に改善することができる。

【0054】実施の形態15。上記実施の形態1から4のガードリング配線は、フローティングではなく、決まった電位に固定してもよい。こうすれば、ノイズによるガードリング電位の変動の影響で近傍配線の電位がふらつくことがない。

## 【0055】

【発明の効果】以上説明したように、請求項1の発明によれば、複数のメモリセルアレイ、周辺回路およびガードリング部分を含む本番チップを有する半導体装置において、上記本番チップとダイシングラインの境界部分に形成された第1のガードリングと、該第1のガードリングの内側に設けられた第2のガードリングとを備えたので、層間膜の1枚板の面積が減り、層間膜の熱収縮量を減少させることができ、ガードリング近傍のコンタクトホールの変形を抑制して、品質の向上、信頼性の向上を図ることができるという効果がある。

【0056】また、請求項2の発明によれば、上記周辺回路の特定回路毎に、その周りに上記第2のガードリングを配置したので、層間膜の1枚板の面積が減り、層間膜の熱収縮量を減少させることができ、ガードリング近傍のコンタクトホールの変形を抑制して、品質の向上、信頼性の向上を図ることができるという効果がある。

【0057】また、請求項3の発明によれば、上記メモリセルアレイのメモリセルマット毎に、その周りに上記第2のガードリングを配置したので、層間膜の1枚板の面積が減り、層間膜の熱収縮量を減少させることができ、ガードリング近傍のコンタクトホールの変形を抑制して、品質の向上、信頼性の向上を図ることができるという効果がある。

【0058】また、請求項4の発明によれば、上記第1のガードリングを細切れ状に配置したので、ピット線となるメタル配線形成時のアニールによるコンタクトホール変形を完全に抑制することができるという効果がある。

【0059】また、請求項5の発明によれば、上記細切れ状の第1のガードリングは、少なくとも1層であるので、ピット線となるメタル配線形成時のアニールによるコンタクトホール変形を完全に抑制することができるという効果がある。

【0060】また、請求項6の発明によれば、上記細切れ状の第1のガードリングは、特に変形の起き易いコンタクトホール工程で形成されるガードリングのみが細切れ状にされるので、ピット線となるメタル配線形成時のアニールによるコンタクトホール変形を完全に抑制することができるという効果がある。

【0061】また、請求項7の発明によれば、上記第1のガードリングと上記周辺回路部分の上記第1のガードリング近傍のコンタクトホールとの間に、緩衝用溝状ガードリングを設けたので、層間膜の熱収縮量を効果的に減少させて、ガードリング近傍のコンタクトホールの変形の抑制に寄与できるという効果がある。

【0062】また、請求項8の発明によれば、上記メモリセルアレイの最小セルブロックの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設け

たので、ガードリング近傍のコンタクトホールの変形を効果的に抑制できるという効果がある。

【0063】また、請求項9の発明によれば、上記第2のガードリングの周りにストレージノードコンタクトホールダミーガードリングおよびストレージノードダミーガードリングの少なくとも一方を設けたので、ガードリング近傍のコンタクトホールの変形を効果的に抑制できるという効果がある。

【0064】また、請求項10の発明によれば、上記第2のガードリングは溝状コンタクトホールとその上の配線を間引いた構造としたので、ガードリング近傍のコンタクトホールの変形の抑制と共に装置の小型化にも寄与できるという効果がある。

【0065】また、請求項11の発明によれば、上記第1のガードリングの層が複数の場合には、上下のガードリング同士を互い違いに配置したので、上層のガードリング溝状コンタクトホールの形状が悪化し、上層の配線ガードリングのカバレッジが劣化し、上層の配線ガードリングが剥がれるといった問題が解消されるという効果がある。

【0066】また、請求項12の発明によれば、上記第1および第2のガードリングの配線は、所定の電位に設定されているので、ノイズによるガードリング電位の変動の影響で近傍配線の電位がふらつくことがなくなるという効果がある。

【0067】さらに、請求項13の発明によれば、上記第1および第2のガードリングは、2重以上の多重構造であるので、ガードリング近傍のコンタクトホールの変形をより効果的に抑制して、品質の向上、信頼性の向上に寄与できるという効果がある。

## 【図面の簡単な説明】

【図1】 この発明の実施の形態1を概略的に示す平面図である。

【図2】 この発明の実施の形態2を概略的に示す平面図である。

【図3】 この発明の実施の形態3を概略的に示す平面図である。

【図4】 この発明の実施の形態4を概略的に示す平面図である。

【図5】 この発明に実施の形態6を示す構成図である。

【図6】 この発明の実施の形態7を概略的に示す平面図およびその一部拡大図である。

【図7】 この発明の実施の形態1による2重ガードリング構造を示す断面図である。

【図8】 この発明の実施の形態12, 13による2重ガードリング構造を示す断面図である。

【図9】 この発明の実施の形態4, 6による分割ガードリング構造を示す断面図である。

【図10】 この発明の実施の形態4による分割ガード

リング構造を示す断面図である。

【図11】 この発明の実施の形態7を示すメモリセル最小アレイブロック外周方向ダミーガードリングの断面図である。

【図12】 この発明の実施の形態9を示すメモリセル最小アレイブロック外周方向ダミーガードリングの断面図である。

【図13】 この発明の実施の形態8を示すメモリセル最小アレイブロック外周方向ダミーガードリングの断面図である。

【図14】 この発明の実施の形態14を示す分割ガードリングの水平方向断面図である。

【図15】 従来の半導体装置を概略的に示す平面図である。

【図16】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図17】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図18】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図19】 従来の半導体装置におけるDRAMメモリ

セル、周辺回路、ガードリングを示す断面図である。

【図20】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図21】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図22】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

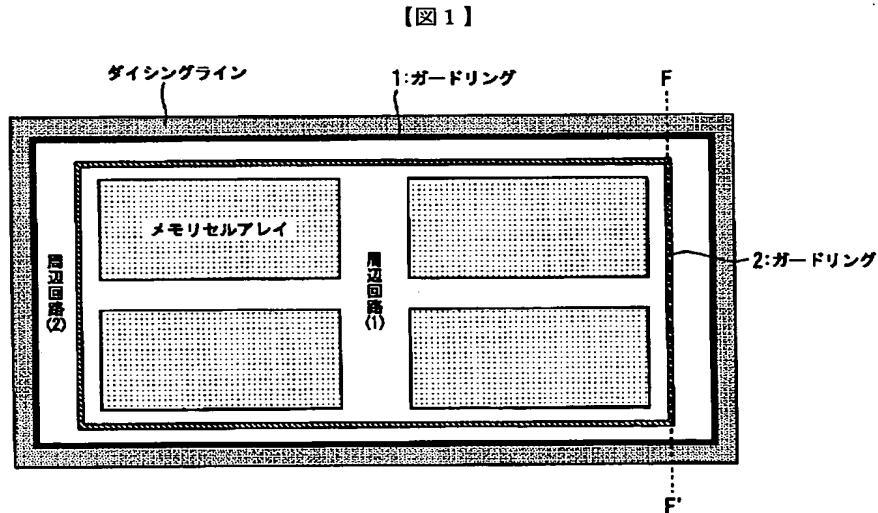
【図23】 従来の半導体装置におけるDRAMメモリセル、周辺回路、ガードリングを示す断面図である。

【図24】 従来の半導体装置におけるコンタクトホール変形の説明に供するための模式図である。

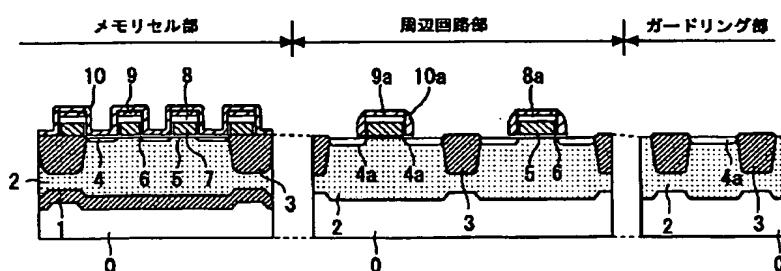
【図25】 従来の半導体装置におけるコンタクトホール変形の説明に供するための模式図である。

#### 【符号の説明】

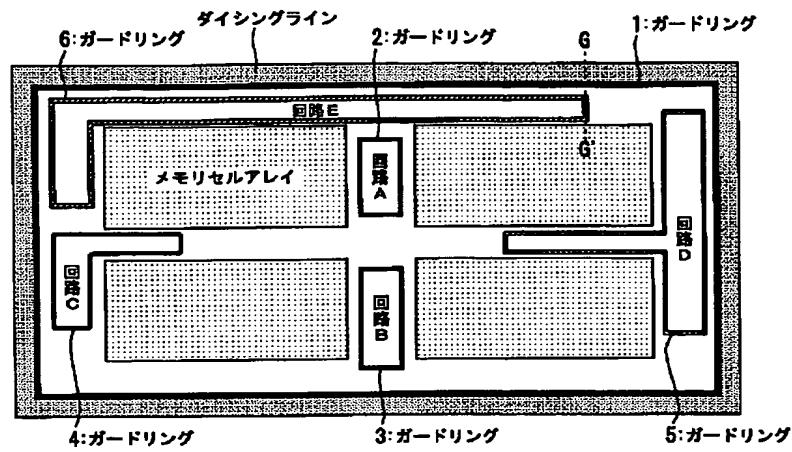
1～6 ガードリング、 1A 緩衝用溝状ガードリング、 11a, 11b 層間絶縁膜、 12a, 13 ポリシリコンパッド、 14a, 14b 層間絶縁膜、 15a, 15b コンタクトホール、 18a, 18b, 18c 配線層、 19a, 19b, 19c 配線層。



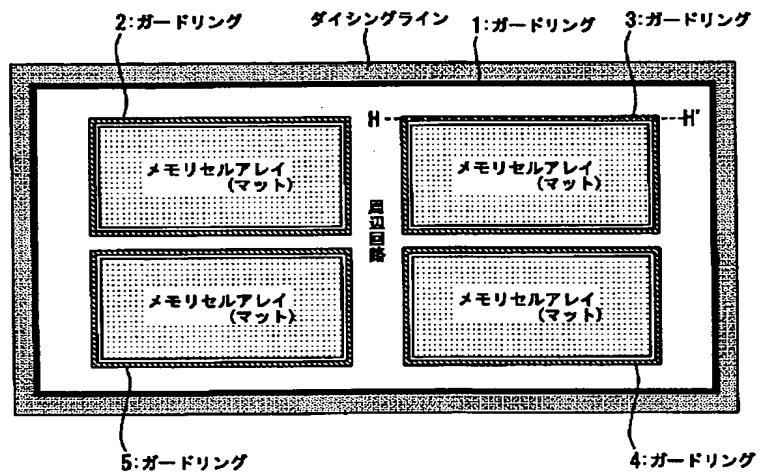
【図16】



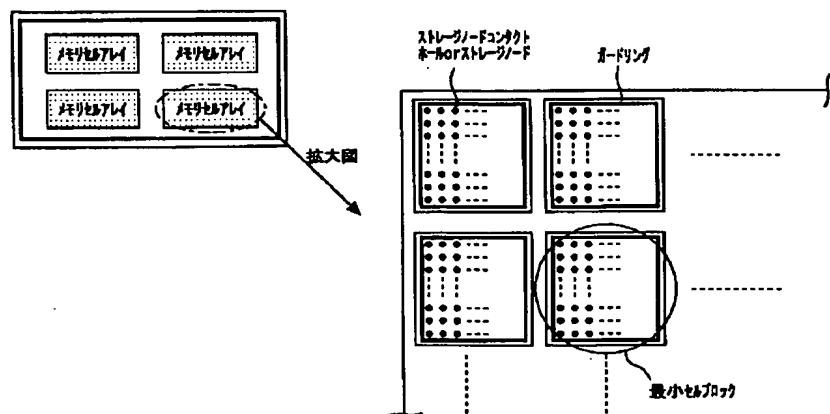
【図2】



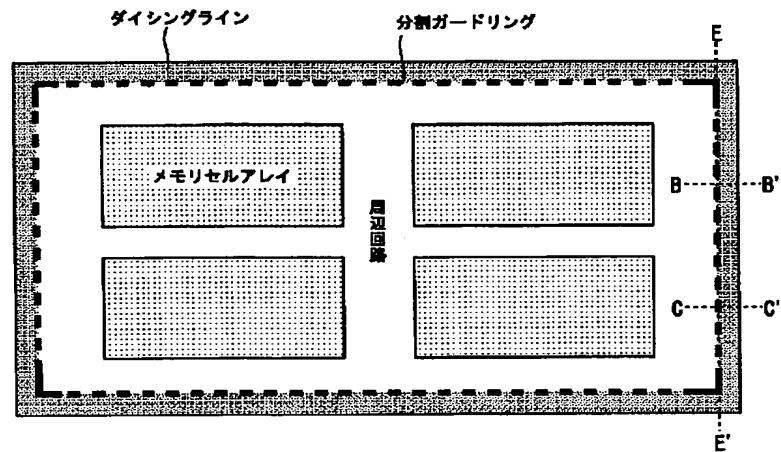
【図3】



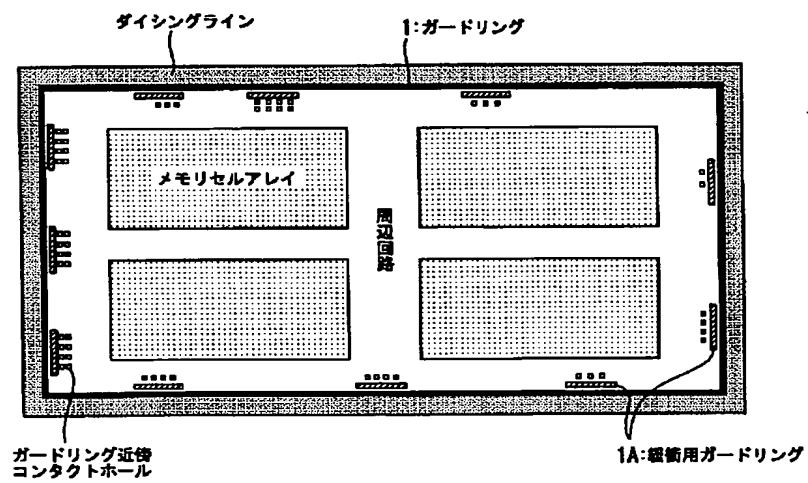
【図6】



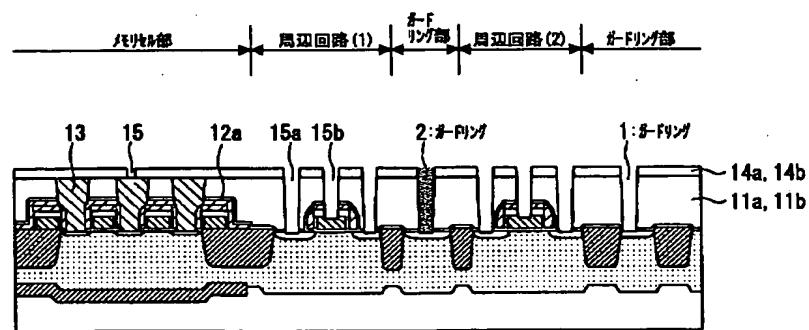
【図4】



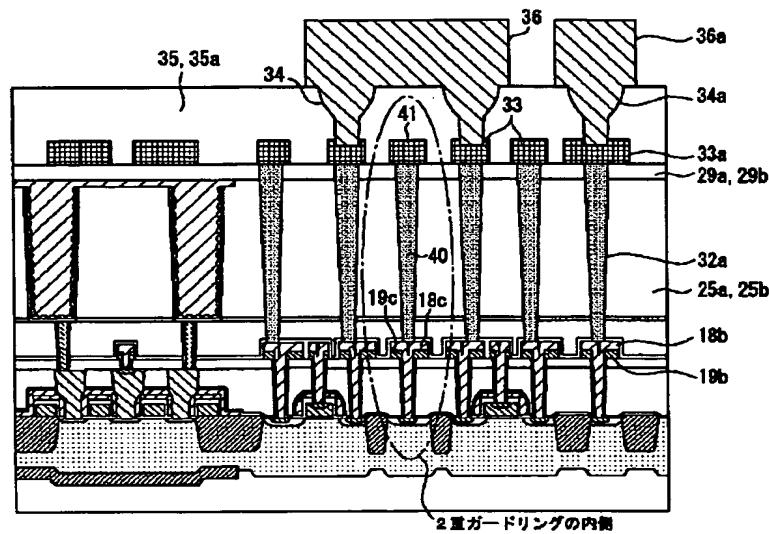
【図5】



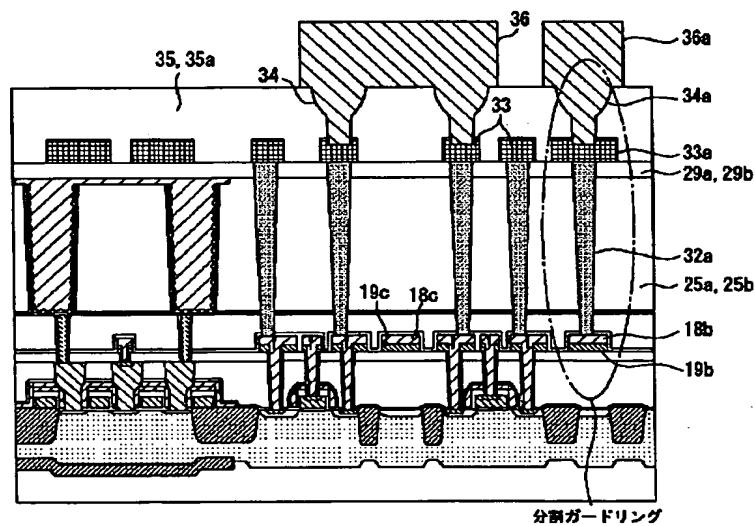
【図7】



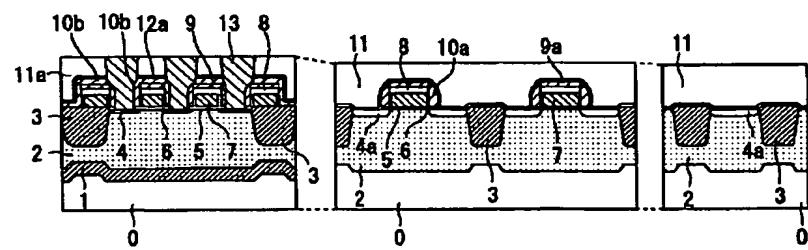
【図8】



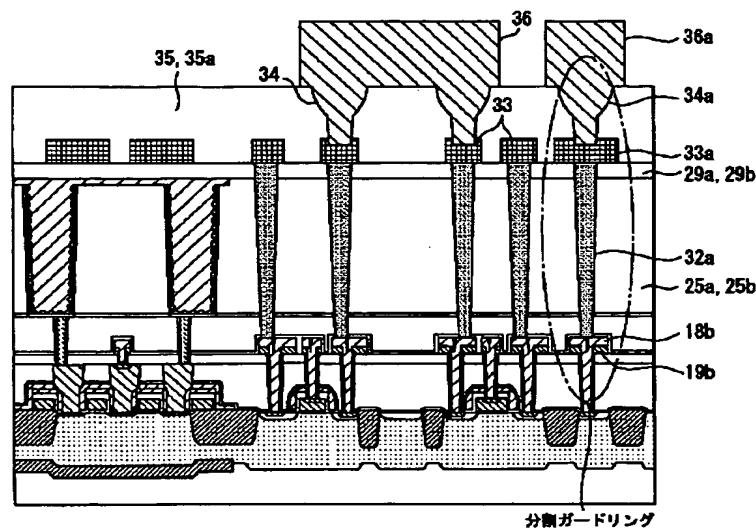
【図9】



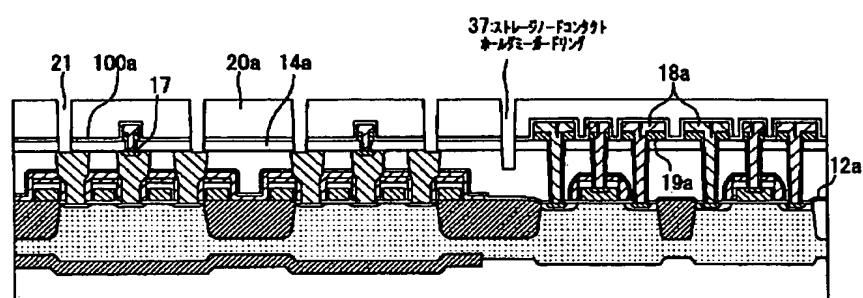
【図17】



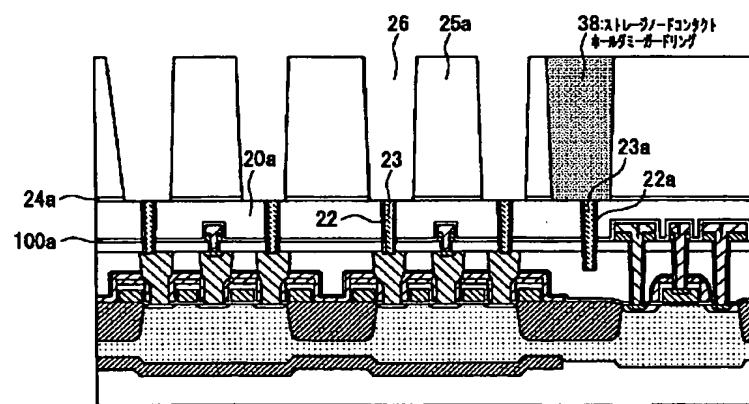
【図10】



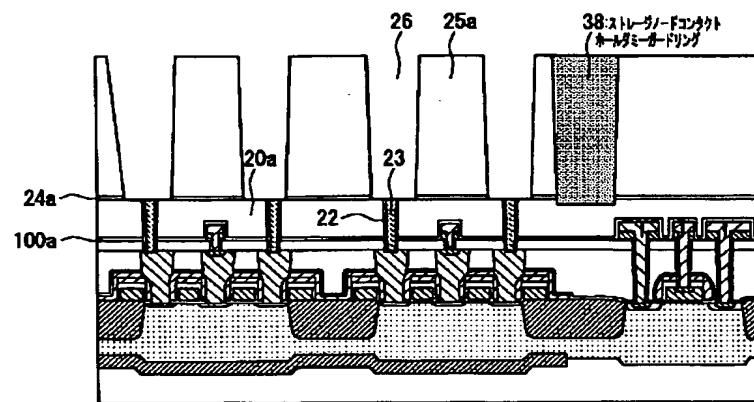
【図11】



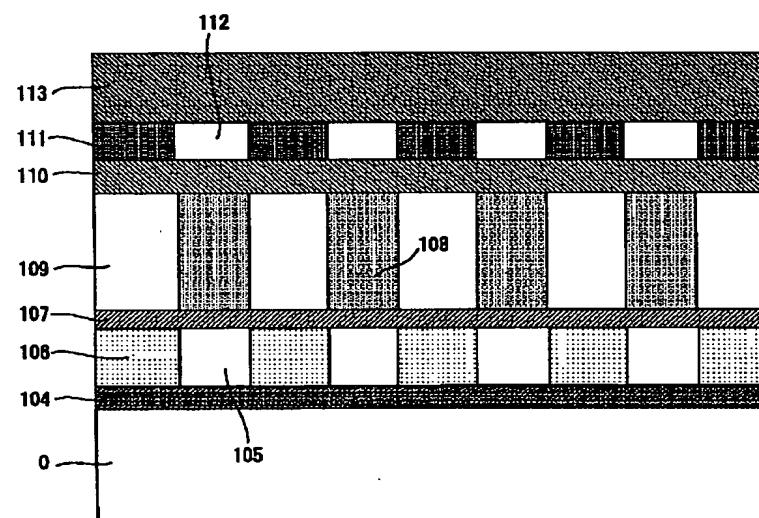
【図12】



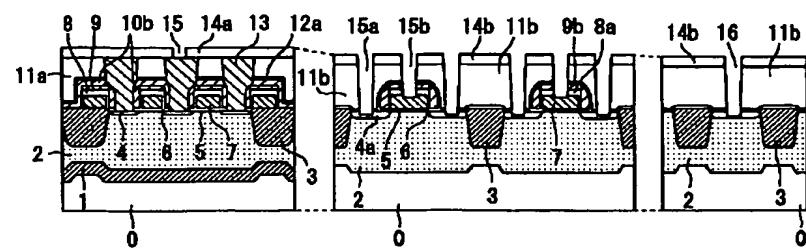
【図13】



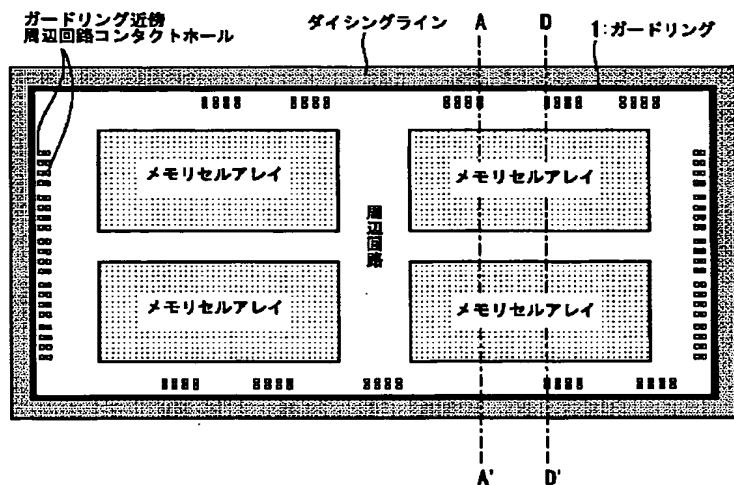
【図14】



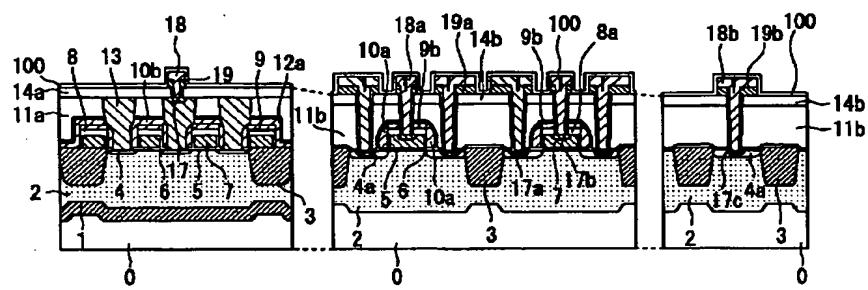
【図18】



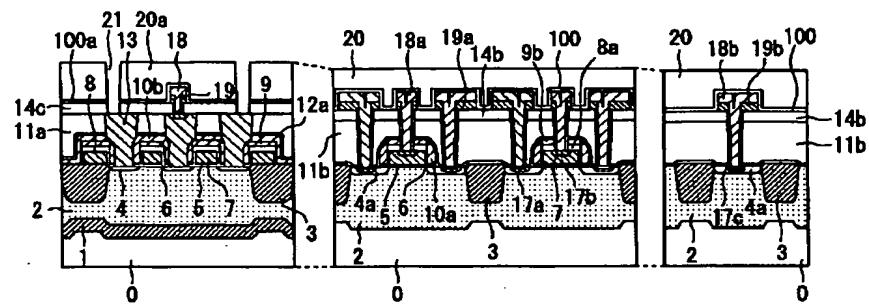
【図15】



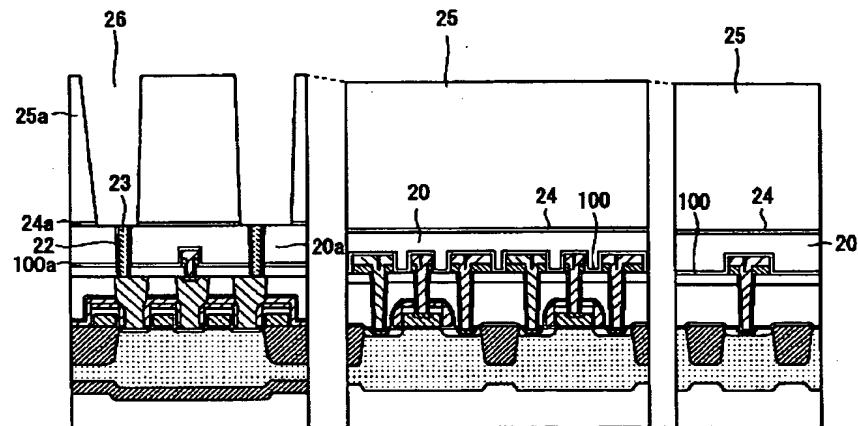
【図19】



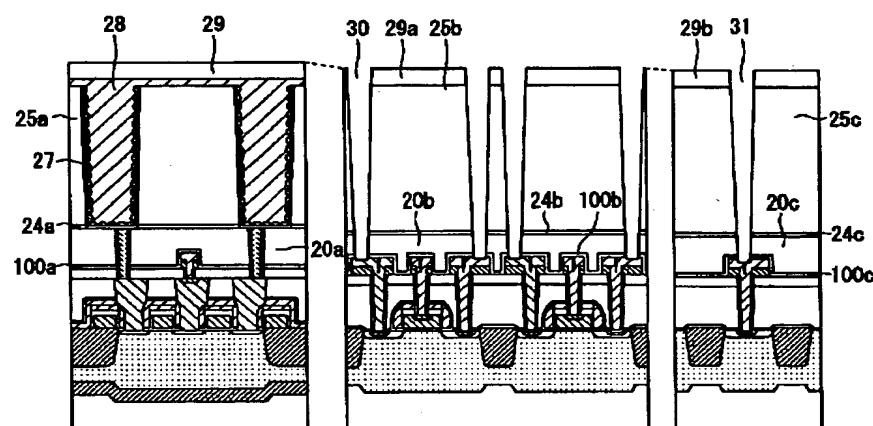
【図20】



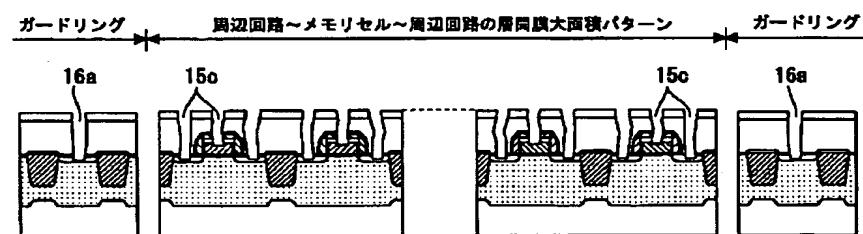
【図21】



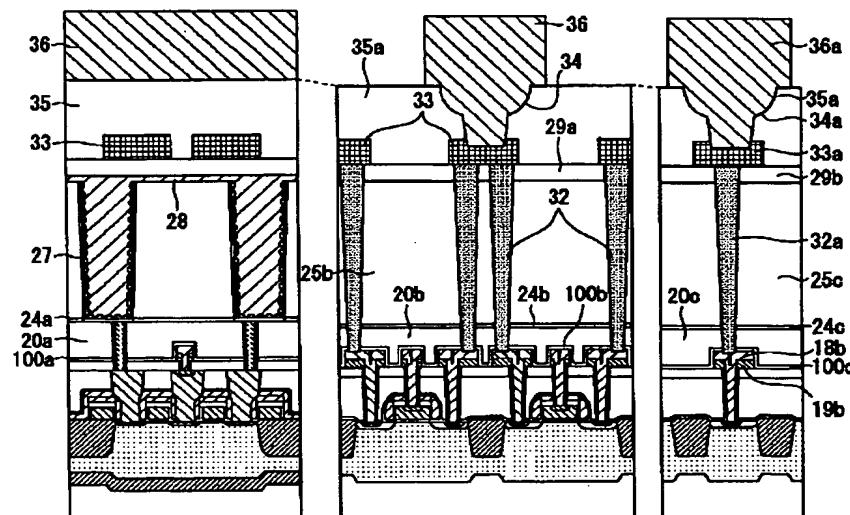
【図22】



【図24】



【図23】



【図25】

